

DERWENT-ACC-NO: 2001-628726

DERWENT-WEEK: 200173

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device has connection hole corresponding
to the electrodes of each chip which is filled with
solder

PATENT-ASSIGNEE: SEIKO EPSON CORP[SHIH]

PRIORITY-DATA: 1999JP-0234577 (August 20, 1999)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2001060654 A	March 6, 2001	N/A	011	H01L 025/065

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2001060654A	N/A	1999JP-0234577	August 20, 1999

INT-CL (IPC): H01L025/065, H01L025/07 , H01L025/18

ABSTRACTED-PUB-NO: JP2001060654A

BASIC-ABSTRACT:

NOVELTY - The connection hole (20) is penetrated and formed on the semiconductor substrate (14) corresponding to the electrodes (16a,16b) of each semiconductor chips (12a-12c). The hole is filled with solder (18) which joins the semiconductor chip mutually.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for semiconductor device manufacture method.

USE - E.g. stacked multichip package (MCP) semiconductor device.

ADVANTAGE - The laminated semiconductor chip is mutually connected without using a wire, thus, electric connection becomes simple. The mounting efficiency of package is enhanced and semiconductor chip is joined to the electrode by the solder without using an adhesive agent.

DESCRIPTION OF DRAWING(S) - The figure shows the partial cross sectional view of semiconductor device. (Drawing includes non-English language text).

Semiconductor chip 12a-12c

Semiconductor substrate 14

Electrodes 16a,16b

Solder 18

Connection hole 20

CHOSEN-DRAWING: Dwg.1/7

TITLE-TERMS: SEMICONDUCTOR DEVICE CONNECT HOLE CORRESPOND ELECTRODE
CHIP FILLED
SOLDER

DERWENT-CLASS: U11

EPI-CODES: U11-D01A6;

SECONDARY-ACC-NO:
Non-CPI Secondary Accession Numbers: N2001-468849

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2001-60654

(P2001-60654A)

(43) 公開日 平成13年3月6日(2001.3.6)

(51) Int.Cl.

識別記号

F I

キーワード(参考)

H 0 1 L 25/065
25/07
25/18

H 0 1 L 25/08

B

審査請求 未請求 請求項の数17 O L (全 11 頁)

(21) 出願番号 特願平11-234577

(22) 出願日 平成11年8月20日(1999.8.20)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 依田 剛

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 佐藤 英一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 原 明徳

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

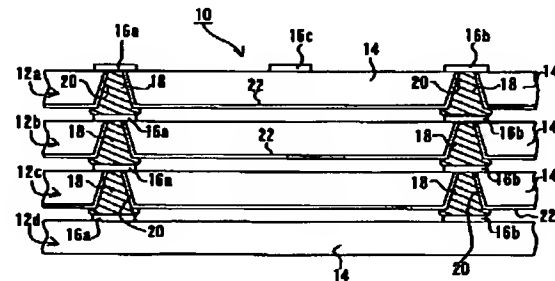
弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ワイヤを用いずに半導体チップを相互に電気的に接続する。

【解決手段】 半導体装置10は、複数の半導体チップ12(12a~12d)が電極部16a、16bを対応させて積層してある。半導体チップ12a~12cには、半導体基板14を貫通して電極部16の下面に達する接続穴20が形成してあり、この接続穴20に充填した半田18によって上下方向に隣接する半導体チップ12の電極部16が相互に接続してある。



10: 半導体装置

16a~16d: 電極部

12a~12d: 半導体チップ

18: 半田

14: 半導体基板

20: 接続穴

【特許請求の範囲】

【請求項1】 素子が形成された半導体チップを複数積層してある半導体装置において、前記各半導体チップの電極部と対応した部分の半導体基板を貫通して形成した穴に充填した導電材により、前記各半導体チップを相互に接合したことを特徴とする半導体装置。

【請求項2】 前記導電材は、半田または低融点金属であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記導電材は、導電性接着剤であることを特徴とする請求項1に記載の半導体装置。

【請求項4】 素子が形成された半導体チップを複数積層した半導体装置において、前記各半導体チップは電極部を対応させて積層しており、これらの電極部が電極部と半導体基板とを貫通して設けた貫通穴内に配置した導電材により、電気的に相互に接続してあることを特徴とする半導体装置。

【請求項5】 前記導電材は、前記貫通穴の壁面に形成した導電性膜であることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記導電材は、前記貫通穴に充填した導電性接着剤であることを特徴とする請求項4に記載の半導体装置。

【請求項7】 前記導電性接着剤は、下方に位置する前記半導体チップの前記電極部上の保護膜が除去されて形成された空隙を充填していることを特徴とする請求項6に記載の半導体装置。

【請求項8】 素子が形成された半導体チップの複数積層した半導体装置において、前記各半導体チップは、電極部を対応させて積層しており、上方に位置する前記半導体チップは、前記電極部に対応した部分の半導体基板に形成した貫通穴と、前記電極部を貫通して形成したバンパとを有し、下方に位置する前記半導体チップは、前記電極部が前記バンパを介して上方に位置する前記半導体チップの前記電極部に電気的に接続してある、ことを特徴とする半導体装置。

【請求項9】 前記下方に位置する半導体チップの前記電極部と前記上方に位置する半導体チップの前記バンパとは、導電性接着剤により接合してあることを特徴とする請求項8に記載の半導体装置。

【請求項10】 素子を形成した半導体チップの電極部と対応した部分の半導体基板に貫通穴を形成する工程と、前記貫通穴を覆って導電材の盛上げ部を形成する工程と、前記導電材を配置した前記半導体チップの複数積層して前記電極部を相互に電気的に接続するとともに、前記各半導体チップを相互に接合する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項11】 前記導電材は、半田ペーストであり、前記盛上げ部は、前記貫通穴を覆って穴の容積より多くの半田ペーストを配置する工程と、半田ペーストを配置した前記半導体チップを加熱して半田ペーストを溶融し、半田ペースト中のフラックスを除去する工程とにより形成し、

前記接合は、積層した複数の前記半導体チップを加熱して前記貫通穴に配置された半田を溶融して行う、ことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 前記導電材は、低融点金属であり、前記接合は、積層した複数の半導体チップの前記低融点金属を加熱、加圧して行うことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項13】 素子を形成した半導体ウエハまたは半導体チップの複数、予め定めた電極部を対応させて積層する工程と、積層した前記半導体ウエハまたは半導体チップの前記電極部と半導体基板とを貫通した貫通穴を形成する工程と、前記貫通穴内に導電材を設けて前記電極部を相互に電気的に接続する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項14】 前記電極部の電気的接続は、前記貫通穴の壁面に蒸着またはメッキにより金属膜を形成して行うことを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】 前記各半導体ウエハまたは前記半導体チップは、前記電極部の上に形成してある保護膜の一部が除去され、前記電極部の少なくとも一部が露出させてあり、前記各電極部の電気的接続は、前記貫通穴と前記保護膜を除去して形成された空隙とに導電性接着剤を注入して行うこと、を特徴とする請求項13に記載の半導体装置の製造方法。

【請求項16】 第1の半導体チップの電極部と、この電極部に対応した半導体基板とを貫通した貫通穴を形成する工程と、

前記電極部に形成した貫通穴を介して電極部を貫通したバンパを形成する工程と、前記第1の半導体チップの非能動面側に第2の半導体チップを重ねて配置し、前記バンパを介して前記第2の半導体チップの電極部を前記第1の半導体チップの前記電極部に電気的に接続する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項17】 前記第1の半導体チップと前記第2の半導体チップとの電極部を電気的に接続する工程は、前記第1の半導体チップの半導体基板に形成した貫通穴内、または前記第2の半導体チップの前記電極部上に導

10

20

30

40

50

電性接着剤を配置する工程と、
第1の半導体チップの非能動面側に前記第2の半導体装置を配置して重ね、前記第2の半導体チップの電極部と前記バンパとを前記導電性接着剤によって接合する工程と、
を有することを特徴とする請求項16に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の半導体チップを有するいわゆるマルチチップパッケージ(MCP)に係り、特に複数の半導体チップを積層したスタックドMCP半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、電子機器の高性能化、小型化に伴って1つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージとすることにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導体チップを平面的に並べたものと、複数の半導体チップを厚み方向に積層したものがある。半導体チップを平面的に並べたマルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを積層したスタックドMCPの開発が盛んに行われている。

【0003】

【発明が解決しようとする課題】従来のスタックドMCPは、例えば特開平6-37250号公報に記載されているように、積層した半導体チップを相互に電気的に接続する場合、各半導体チップの周縁部に端子部を形成し、各チップの端子間をワイヤによって接続している。このため、半導体チップ相互の電気的接続が煩雑となるばかりでなく、積層する半導体チップは、上にいくほどサイズを小さくしなければならず、集積効率、実装効率が低下する。また、半導体チップの集積度が向上すると、ワイヤ間の間隔が小さくなってワイヤ間で短絡を生ずるおそれがある。さらに、従来のスタックドMCPにおいては、積層した半導体チップを接着剤によって相互に接合するようにしており、接着剤の塗布などを必要として工程が煩雑となる。

【0004】本発明は、前記従来技術の欠点を解消するためになされたもので、ワイヤを用いずに積層した半導体チップを相互に電気的に接続することを目的としている。

【0005】また、本発明は、接着剤を用いずに積層した半導体チップを相互に接合することを目的としている。

【0006】

【課題を解決するための手段】上記の目的を達成するために、本発明に係る第1の半導体装置は、素子が形成さ

れた半導体チップを複数積層してある半導体装置において、前記各半導体チップの電極部と対応した部分の半導体基板を貫通して形成した穴に充填した導電材により、前記各半導体チップを相互に接合したことを特徴としている。

【0007】このように構成した本発明の第1に係る半導体装置は、電極部を残して半導体基板に貫通穴を形成し、この貫通穴に充填した導電材によって各半導体チップの電極部を接合することにより、ワイヤを用いずに各半導体チップを電気的に接続することができ、また各半導体チップを相互に接合することができる。

【0008】導電材として半田または低融点金属を用いると、接合による電気抵抗を小さくできるとともに、大きな接合力が得られる。また、導電材として導電性接着剤を用いると、加熱を必要としないために工程の簡略化が図れ、素子などの熱によるダメージなどを避けることができる。

【0009】そして、本発明の第2に係る半導体装置は、素子が形成された半導体チップを複数積層した半導体装置において、前記各半導体チップは電極部を対応させて積層してあり、これらの電極部が電極部と半導体基板とを貫通して設けた貫通穴内に配置した導電材により、電気的に相互に接続してあることを特徴としている。

【0010】このように構成した本発明の第2に係る半導体装置においても、ワイヤを用いずに各半導体チップを電気的に接続することができる。また、電極部と半導体基板とを貫通した貫通穴を形成しているため、各半導体チップを積層した状態で一括して貫通穴を形成することが可能で、工程の簡素化を図ることができる。

【0011】導電材は、貫通穴の壁面に形成した導電性膜であってよい。この導電性膜は、銅やアルミニウムなどの導電性金属の膜を蒸着やメッキによって堆積することにより形成することができる。さらに、導電材として導電性接着剤を用い、この導電性接着剤を貫通穴に充填して硬化させることにより、各半導体チップを相互に接合することができる。そして、導電性接着剤を、下方に位置する半導体チップの電極部上の保護膜が除去されて形成された空隙に充填することにより、各半導体チップの電極部と導電性接着剤との接触面積が増大して電気的接続をより確実にすることができるとともに、各半導体チップ間の接合力を大きくすることができる。

【0012】また、本発明の第3に係る半導体装置は、素子が形成された半導体チップの複数を積層した半導体装置において、前記各半導体チップは、電極部を対応させて積層してあり、上方に位置する前記半導体チップは、前記電極部に対応した部分の半導体基板に形成した貫通穴と、前記電極部を貫通して形成したバンパとを有し、下方に位置する前記半導体チップは、前記電極部が前記バンパを介して上方に位置する前記半導体チップの

前記電極部に電氣的に接続してある、ことを特徴としている。

【0013】このように構成した本発明においてもワイヤを用いることなく各半導体チップを電氣的に接続することができる。そして、下方に位置する半導体チップの電極部と上方に位置する半導体チップの bumps とを、導電性接着剤により接合すると、電氣的な接続がより確実に行えたとともに、各半導体チップを相互に接合することができる。

【0014】上記の半導体装置を製造する方法の第1は、素子を形成した半導体チップの電極部と対応した部分の半導体基板に貫通穴を形成する工程と、前記貫通穴を覆って導電材の盛上げ部を形成する工程と、前記導電材を配置した前記半導体チップの複数層を積層して前記電極部を相互に電氣的に接続するとともに、前記各半導体チップを相互に接合する工程と、を有することを特徴としている。これにより、本発明の第1に係る半導体装置が得られ、半導体チップ間をワイヤボンディングすることなく相互に電氣的に接続することができるとともに、積層した半導体チップ同士を接合することができる。

【0015】導電材は、半田ペーストであってよい。この場合、盛上げ部は、貫通穴を覆って穴の容積より多くの半田ペーストを配置する工程と、半田ペーストを配置した半導体チップを加熱して半田ペーストを溶融し、半田ペースト中のフラックスを除去する工程とにより形成し、接合は、積層した複数の半導体チップを加熱して貫通穴に配置された半田を溶融して行うことができる。すなわち、半田ペーストを用いれば、半導体チップを積層して半田を加熱、リフローすることにより、半導体チップの自重によって半田が融けたときに自動的に各半導体チップの接合が行える。また、導電材として低融点金属を用いた場合、接合は、積層した複数の半導体チップの低融点金属を加熱、加圧して行うと、電極部間の接合、半導体チップ間の接合を確実に行える。そして、錫や銀などの低融点金属を用いることにより鉛フリーを実現することが可能となる。

【0016】本発明に係る第2の半導体装置の製造方法は、素子を形成した半導体ウエハまたは半導体チップの複数層を、予め定めた電極部を対応させて積層する工程と、積層した前記半導体ウエハまたは半導体チップの前記電極部と半導体基板とを貫通した貫通穴を形成する工程と、前記貫通穴内に導電材を設けて前記電極部を相互に電氣的に接続する工程と、を有することを特徴としている。これにより、本発明の第2に係る半導体装置を得ることができる。

【0017】電極部の電氣的接続は、貫通穴の壁面に蒸着またはメッキにより金属膜を形成して行うことができる。また、各半導体ウエハまたは半導体チップは、電極部の上に形成してある保護膜の一部が除去され、電極部の少なくとも一部が露出させてある場合、各電極部の電

氣的接続は貫通穴と保護膜を除去して形成された空隙とに導電性接着剤を注入して行う。これにより、電極部と導電性接着剤との接触面積が大きくなって電氣的接続を確実にでき、各半導体チップ間の接合強度を増大することができる。

【0018】本発明の第3に係る半導体装置の製造方法は、第1の半導体チップの電極部と、この電極部に対応した半導体基板とを貫通した貫通穴を形成する工程と、前記電極部に形成した貫通穴を介して電極部を貫通した bumps を形成する工程と、前記第1の半導体チップの非能動面側に第2の半導体チップを重ねて配置し、前記 bumps を介して前記第2の半導体チップの電極部を前記第1の半導体チップの前記電極部に電氣的に接続する工程と、を有することを特徴としている。これにより、本発明の第3に係る半導体装置を得ることができる。

【0019】そして、第1の半導体チップと第2の半導体チップとの電極部を電氣的に接続する工程を、第1の半導体チップの半導体基板に形成した貫通穴内、または第2の半導体チップの電極部上に導電性接着剤を配置する工程と、第1の半導体チップの非能動面側に第2の半導体装置を配置して重ね、第2の半導体チップの電極部と bumps とを導電性接着剤によって接合する工程と、により行うことにより、電氣的接続の確実性を向上することができ、また半導体チップ同士の接合が可能となる。

【0020】

【発明の実施の形態】本発明に係る半導体装置およびその製造方法の好ましい実施の形態を、添付図面に示したがつて詳細に説明する。

【0021】図1は、本発明の第1実施の形態に係る半導体装置の一部断面図である。図1において、スタック型MCPを構成する半導体装置10は、複数（実施形態の場合4つ）の半導体チップ12（12a～12d）が積層してある。そして、各半導体チップ12は、シリコンからなる半導体基板14を有し、半導体基板14の上部に図示しないトランジスタや抵抗、コンデンサなどの素子が形成してあるとともに、電極部16が設けてある。これらの電極部16は、例えばアルミニウムやアルミニウム合金などの導電材によって形成してあって、半導体基板14に形成した配線（図示せず）を介してトランジスタなどの素子に電氣的に接続してある。

【0022】各半導体チップ12は、予め定めた電極部16a、16bを対応させて積層してあって、隣接した半導体チップ12の対応させた電極部16a、16bが導電材である半田18によって電氣的に相互に接続してある。

【0023】すなわち、最下段の半導体チップ12dを除いた他の半導体チップ12a～12cには、半導体基板14の電極部16a、16bと対応した部分に、半導体基板14を貫通して形成した接続穴（貫通穴）20が

設けてある。これらの接続穴20は、半導体チップ12の能動面側である電極部16を設けた側から非能動面側（図1の下面側）に向けて漸次拡開している。そして、半導体基板14の非能動面と接続穴20の壁面とは、例えば二酸化シリコン（ SiO_2 ）からなる絶縁膜22が設けてあって、接続穴20内に配置した半田18と半導体基板14とが直接電氣的に導通しないようにしてある。さらに、図の上側に位置する半導体チップ12の接続穴20内に配置した半田18は、電極部16の下面と接合しているとともに、半導体基板14の非能動面から突出し、非能動面側に隣接している下側半導体チップ12の電極部16の上面と接合している。

【0024】このように形成した第1実施形態に係る半導体装置10は、各半導体チップ12a～12dの対応させた電極部16a、16bが半導体基板14に形成した接続孔20に設けた半田18によって直接電氣的に接続されているため、各半導体チップ12を電氣的に接続するためのワイヤを必要とせず、半導体チップ12相互の電氣的接続を容易に行うことができる。しかも、変形しやすいワイヤを用いないために電極部16間の間隔を小さくしても短絡などの発生をなくすることができ、各半導体チップ12の素子の集積度を向上することが可能となる。また、積層した各半導体チップ12の周縁部に端子部を形成する必要がないため、半導体チップ12の積層数を多くしても上方に位置する半導体チップのサイズを小さくする必要がなく、実装効率を高めることができる。

【0025】さらに、半導体装置10は、半田18を介して隣接する半導体チップ12の電極部16を接合したことにより、接着剤によって半導体チップを相互に接合する工程を省略することができる。そして、実施の形態においては、半導体チップ12に形成した接続穴20が他の半導体チップを接合する非能動面側に向けて漸次拡開してあるため、半田18と他の半導体チップの電極部16（例えば、半導体チップ12aの半田18と半導体チップ12bの電極部16）との接合力を大きくすることができる。

【0026】なお、半導体装置10をパッケージの基板に電氣的に接続する場合、図1の最上段に位置する半導体チップ12aの電極部16をワイヤボンディングやフェースダウンボンディングで行う。

【0027】前記実施の形態においては、導電材が半田18である場合について説明したが、導電材は錫や銀などのいわゆる低融点金属であってもよく、また導電性接着剤であってもよい。

【0028】図2は、第1実施の形態に係る半導体装置10の製造方法を説明する工程図の要部を示したものである。図2（a）に示したように、公知の方法により半導体基板14に図示しない素子を形成したのち、配線を形成するとともに電極部16を設けて半導体チップ

12を作製する。その後、半導体チップ12の裏面（非能動面）側から半導体基板14を例えばウェットエッチングし、半導体基板14を貫通して電極部16の裏面に達する接続穴20を形成する。

【0029】次に、図2（b）に示したように、テトラエトキシシラン（TEOS）などを用いたCVD法などによって、半導体基板14の非能動面と接続穴20とを覆って二酸化シリコン（ SiO_2 ）からなる絶縁膜22を形成する。さらに、絶縁膜22を覆ってフォトリソト膜30を形成し、これをフォトリソグラフィ法によって露光、現像してパターンニングし、電極16と対応した位置に穴32を設け、電極部16の面に形成されている絶縁膜22を露出させる。

【0030】その後、フォトリソト膜30をマスクとしてエッチングを行い、露出させた絶縁膜22を除去する（図2（c）参照）。次に、スクリーン印刷法を用いて接続穴20内に導電材となる半田ペースト34を設ける。この半田ペースト34は、後述するように、他の半導体チップの電極部と接合するために、接続穴20から適宜量食み出すように設ける。その後、半田ペースト34を配置した半導体チップ12をリフロー炉に入れ、半田ペースト34を加熱してフラックスを除去し、図2（d）に示したように半田プラグ36にする。

【0031】次に、図2（e）に示したように、半田接続プラグ36を形成した所望数の半導体チップ12を所定の電極部16を対応させて非能動面が上になるようにして積み重ねる。そして、複数の半導体チップ12を積み重ねた状態でリフロー炉に配置し、半田プラグ36を溶融温度まで加熱する。これにより、半田プラグ36は溶融し、半導体チップ12の重みによって押しつぶされる。そこで、半導体チップ12を冷却すると、隣接した上下の半導体チップ12の電極部16が半田18によって相互に電氣的に接続され、接合されて図1に示した半導体装置10を得ることができる。

【0032】なお、接続穴20に配置した導電材が銀などの低融点金属である場合、図2（d）のリフロー工程を省略できる。そして、重ねた複数の各半導体チップを銀などの低融点金属によって相互に接合する場合、最上段または最下段の半導体チップ12、もしくは両者を加熱するとともに、積層した半導体チップの全体を上下方向に加圧する。これにより、半導体基板14を介して熱を低融点金属に容易に伝達することができるとともに、各半導体チップの電極部を確実に低融点金属と接合することができる。さらに、導電材として導電性接着剤を用いた場合には、加熱工程を省略することができる。

【0033】図3は、第2実施の形態に係る半導体装置の一部断面図である。図3（a）に示した半導体装置40は、複数（この実施形態においては3つ）の半導体チップ12（12a～12c）が積層してある。各半導体チップ12は、能動面側が図3の上側となるように描え

てあって、予め定めた電極部42を対応させて積層してある。そして、半導体装置40は、各半導体チップ12の電極部42と半導体基板14とを貫通した貫通穴44が形成してあって、この貫通穴44の壁面に蒸着やメッキなどによって形成した導電材である金属膜46が設けてあって、各半導体チップ12の電極部42が金属膜46を介して相互に電氣的に接続してある。ただし、各半導体チップ12は、半導体基板14の貫通穴44の壁面となる部分にシリコン酸化膜などの絶縁膜45が形成してあって、金属膜46と半導体基板14と間が電氣的に遮断してある。

【0034】このように形成した半導体装置40は、図4のようにして製造することができる。まず、図4のステップ60に示したように、半導体ウエハに通常の方法により素子や電極部などを形成する。その後、素子などを形成した半導体ウエハを所望枚数（この実施形態においては3枚）、能動面を上にするとともに貫通穴44を形成する電極部42を対応させて積層する（ステップ62）。次に、半導体ウエハを積層した状態で電極部42の部分にレーザ光などを用いて貫通穴44を形成する（ステップ64）。この貫通穴44は、エッチングによって形成してもよい。また、レーザ光を用いて貫通穴44を形成する場合、穴の壁面が荒れるので、レーザ光によって穴をあけたのち、エッチングして整形するとよい。

【0035】その後、ステップ66に示したように、半導体基板14の貫通穴44の壁面となっている部分に絶縁膜45を形成する。この絶縁膜45の形成は、例えば貫通穴44を形成した半導体ウエハを濃硝酸液中に浸漬、酸化雰囲気中で加熱し、半導体基板14の貫通穴壁面部を酸化して SiO_2 にする。その後、電極部42に形成されている金属酸化膜（不動態）をアルカリ等によって除去する。

【0036】次に、ステップ68に示したように、蒸着や無電解メッキなどにより絶縁膜を形成した貫通穴44の壁面に金属膜46を形成する。なお、メッキによって金属膜46を形成する場合、Ti（チタン）などの下地金属を真空蒸着やCVD法によって形成し、その後に無電解メッキによって銅などの金属膜を形成するとよい。

【0037】貫通穴44内に金属膜46を形成したならば、ステップ70に示したように、半導体ウエハを積層したままレーザ光やダイヤモンドブレードなどを用いてチップの大きさに分割する。さらに、チップの大きさに切断した積層品をパッケージの基板に実装し、樹脂封止などを行ってスタック型のMCP半導体装置にする（ステップ72）。

【0038】なお、前記実施形態においては、半導体ウエハを積層して貫通穴44を形成した場合について説明したが、素子と電極部42などを形成した半導体ウエハを切断して半導体チップ12を形成したのち、所望数の

半導体チップを積層して貫通穴44を形成するようにしてもよい。

【0039】図3（b）は、第2実施形態の変形例の一部断面図である。この半導体装置50は、2つの半導体チップ12a、12bが非能動面側を合せて積層してある。そして、各半導体チップ12の対応させた電極部42と半導体基板14とを貫通した貫通穴44が設けられ、この貫通穴44の壁面に金属膜46が形成してあり、各半導体チップ12の電極部42が金属膜46によって電氣的に接続してある。

【0040】なお、半導体基板14の貫通穴44の壁面が絶縁膜45によって絶縁してあることは前記と同様である。また、この半導体装置50は、半導体装置40の場合とほぼ同様にして製造することができる。また、図3（b）に示した半導体装置50は、半導体チップ12を2つ重ねた場合について説明したが、半導体チップ12a、12bの間に任意の数の半導体チップを積層することができる。

【0041】図5は、第3実施の形態に係る半導体装置の一部断面図である。図5（a）に示した半導体装置74は、複数（実施形態の場合3つ）の半導体チップ76（76a～76c）が積層してある。そして、各半導体チップ76に形成した電極部78と半導体基板80とを貫通して貫通穴82が形成してあり、この貫通穴82に導電材である導電性接着剤84が充填してあって、各半導体チップ76が導電性接着剤84により接合されて一体化してある。また、導電性接着剤84は、図の下方に位置する半導体チップ76b、76cの、シリコン酸化膜などからなる保護膜としてのパッシベーション膜86を剥離して形成された空隙88にも充填されている。

【0042】すなわち、半導体チップは、一般に配線や電極部を形成したのち、その上にパッシベーション膜86を形成して配線などを保護している。そして、電極部78の上に位置するパッシベーション膜86は、他の半導体チップやパッケージ基板の電極部などと電氣的に接続するために除去される。このため、半導体チップを複数積層すると、パッシベーション膜86を除去したところが空隙88となるので、その空隙86に導電性接着剤84を充填して各電極部78の電氣的接続を行うことにより、導電性接着剤84と電極部78との接触面積を増大させてより確実な電氣的接続を行い、また各半導体チップ間の接合力を大きくする。

【0043】この半導体装置74は、次のごとくして製造する。まず、素子や電極部78などを形成した半導体ウエハまたは半導体チップ76の電極部78の上に存在するパッシベーション膜86をエッチングなどによって除去し、電極部78を露出させる。次に、電極部78を露出させた半導体ウエハまたは半導体チップを、電極部78を対応させて複数積層する。その後、半導体ウエハまたは半導体チップ76を積層した状態において、各半

導体チップ76の電極部78と半導体基板80とを貫通した貫通穴82を一括して形成し、半導体基板80の貫通穴82の壁面に図示しない絶縁膜を設ける。この絶縁膜は、前記第2実施の形態と同様にして形成することができるが、次のようにして形成してもよい。

【0044】積層した状態で貫通穴82を形成した半導体ウエハまたは半導体チップ76をそのままCVD装置に入れ、TEOSなどを用いてCVD法によってシリコン酸化膜を貫通穴82の壁面に形成する。このとき、図6(a)に示したように、シリコン酸化膜89は、一番上の半導体ウエハまたは半導体チップ76aの上面と、各半導体ウエハまたは半導体チップ76a~76cの貫通穴82の壁面に堆積され、各半導体ウエハまたは各半導体チップ76間に形成される空隙88を形成している面にはほとんど形成されない。これは、パッシベーション膜86が薄いために空隙88の上下方向の幅が狭く、しかも周囲が密閉状態となっているために原料ガスが空隙88の奥まで供給されないためである。

【0045】このようにしてシリコン酸化膜89を形成したならば、シリコン酸化膜89が形成された半導体ウエハまたは半導体チップ76aの上方から全面的にエッチングし、図6(b)に示したように、半導体ウエハまたは半導体チップ76aの上面に成膜されたシリコン酸化膜89を除去する。これにより、貫通穴82の壁面にシリコン酸化膜89からなる絶縁膜が形成される。

【0046】次に、貫通穴82の下部を密閉し、貫通穴82の上部から導電性接着剤84を圧入し、貫通穴82と空隙88の内部に導電性接着剤84を充填するとともに、一番上の電極部78の上面に被るように配置して硬化させる。その後、前記したと同様に、積層したものが半導体ウエハであればチップサイズに分割し、パッケージ基板に実装する。

【0047】図5(b)は、第3実施形態に係る半導体装置の変形例を示したものである。この半導体装置110は、半導体チップ112(112a~112c)が積層してある。各半導体チップ112は、半導体基板80の能動面の一部に凹部114が形成してあり、この凹部114に電極部116が形成してある。このため、各半導体チップ112を積層すると、下側の半導体チップの電極部116の上部に空隙118が形成される。また、凹部114の中央部には、電極部116と半導体基板80とを貫通した貫通穴82が設けてある。この貫通穴82の壁面には、酸化シリコンなどからなる図示しない絶縁膜が形成してある。そして、貫通穴82と空隙118とは、導電性接着剤84が充填してあって、各半導体チップ112の電極部116を電気的に接続しているとともに、上下方向に隣接している半導体チップ112を相互に接合している。この変形例の半導体装置110においても前記と同様の効果を得ることができる。

【0048】図7は、第4実施形態に係る半導体装置の

一部断面図である。図7(a)に示した半導体装置90は、2つの半導体チップ76a、76bが電極部78を対応させて積層してある。そして、上側の半導体チップ76aは、電極部78の下方の半導体基板80に、非能動面側となる下側に向けて漸次拡開しているテーパ状の貫通穴92が形成してあるとともに、電極部78にも貫通穴92より小さな貫通穴94が形成してある。また、電極部78には、例えば金からなるスタッドバンパ96が設けてある。このスタッドバンパ96は、一部が貫通穴94を介して電極部78の下方に延在するとともに、半導体基板80の下端から突出した接続部98を有して、接続部98の下端が半導体チップ76aの下側に配置、固定した半導体チップ76bの電極部78の上面に接触し、両半導体チップ76a、76bのそれぞれの電極部78を電気的に接続している。

【0049】このように構成した半導体装置90は、半導体チップ76aの電極部78上のパッシベーション膜86を除去したのち、半導体基板80をエッチングして貫通穴92を形成する。さらに、半導体チップ76aの電極部78をエッチングして貫通穴94を形成する。その後、ワイヤボンディング装置のキャピラリーを電極部78の貫通穴94の上に配置し、金ワイヤを引き出しつつスタッドバンパ96を形成する。これにより、スタッドバンパ96が図7(a)に示したように、電極部78の下方に突出し、接続部98が形成される。そして、電極部78を対応させて半導体チップ76a、76bを重ね合わせて両者を接着剤などによって固着するとにより、スタッドバンパ96の接続部98を下方の半導体チップ76bの電極部78に接触させ、電気的に接続する。

【0050】図7(b)は、第4実施形態の変形例を示したものである。この半導体装置100は、上側の半導体チップ76aの半導体基板80と電極部78とに貫通穴92、94が形成してある。さらに、上側の半導体チップ76aには、電極部78にスタッドバンパ96が形成してある。このスタッドバンパ96は、下部が電極部78を貫通して電極部78の下方に突出した接続部98となっている。そして、接続部98は、導電性接着剤102を介して下側の半導体チップ76bの電極部78に電気的に接続してある。このように導電性接着剤102を用いて下側の半導体チップ76bの電極部78とスタッドバンパ96とを接合することにより、電気的接続をより確実にすることができるとともに、半導体チップ76a、76bを相互に接合することができる。なお、貫通穴92の壁面には、図示しない絶縁膜が設けてある。

【0051】このように構成した図7(b)の半導体装置100は、上側となる半導体チップ76aの電極部78に、前記と同様にしてスタッドバンパ96を形成する。このスタッドバンパ96は、下端が半導体基板80の下面から突出しない程度の大きさにする。また、下側

となる半導体チップ76bは、電極部78の上のバッシン膜86を除去したのち、電極部78の上に適量の導電性接着剤102を配置する。そして、半導体チップ76aを半導体チップ76bの上に重ねて配置し、両半導体チップ76a、76bの電極部78を導電性接着剤102、スタッドバンパ96を介して電氣的に接続する。

【0052】図7(c)は、半導体基板に形成する貫通穴の他の例を示したものである。この貫通穴104は、電極部78を設けた能動面側が半導体基板80の面と直交した壁面を有するストレート穴部106となっており、半導体基板80の非能動面側が非能動面に向けて漸次拡大した拡大穴部108となっている。

【0053】このようにストレート穴部106と拡大穴部108とからなる漏斗状の貫通穴104を形成すると、半導体基板80が厚い場合に、貫通穴104の非能動面における開口が必要以上に大きくなるのを防ぎ、上側の半導体チップの電極部と対応する下側半導体チップの電極部に隣接した電極部と接触する(接続される)危険を避けることができる。さらに、電極部78が近接して設けてある場合、隣接した貫通穴同士が途中でつながるのを防止できる。また、漏斗状の貫通穴104は、導電材を充填する場合、全体がテーパ状に形成されている貫通穴に比較して導電材の充填量を少なくできる。そして、電極部78の上にスタッドバンパなどのバンパを形成した半導体チップを積層する場合、バンパと貫通穴との位置合わせ、すなわち積層する半導体チップの位置合わせを容易に行うことができる。

【0054】この貫通穴104は、次のようにして形成することができる。

【0055】まず、半導体基板80を非能動面側からウェットエッチングして拡大孔部108を形成する。所定時間エッチングして拡大孔部108を形成したならば、半導体チップ76を洗浄、乾燥し、非能動面側からレーザ光を照射してストレート穴部106を形成する。なお、ストレート穴部106を形成したのちにウェットエッチングして貫通穴104の壁面を滑らかにする整形を行ってもよい。また、電極部78の貫通穴94は、前記と同様にして形成する。そして、ストレート穴106は、プラズマを用いたドライエッチングによって形成してもよい。さらに、最初に半導体基板80を貫通したストレート穴106をレーザ光やプラズマエッチングによって形成し、その後、ウェットエッチングによって拡大穴部108を形成するようにしてもよい。

【0056】

【発明の効果】以上に説明したように、本発明によれば、ワイヤを用いずに積層した半導体チップを相互に電氣的に接続することができ、電氣的接続が容易となると

ともに、積層するほど半導体チップを小さくしなければならぬようなことがなく、パッケージの実装効率を高めることができる。また、導電材によって電極部を接合することにより、接着剤を用いずに半導体チップを相互に接合することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の一部断面図である。

【図2】第1実施形態に係る半導体装置の製造方法の実施形態を説明する要部工程図である。

【図3】本発明の第2実施形態に係る半導体装置の一部断面図である。

【図4】第2実施形態に係る半導体装置の製造方法の実施形態を説明するフローチャートである。

【図5】本発明の第3実施形態に係る半導体装置の一部断面図である。

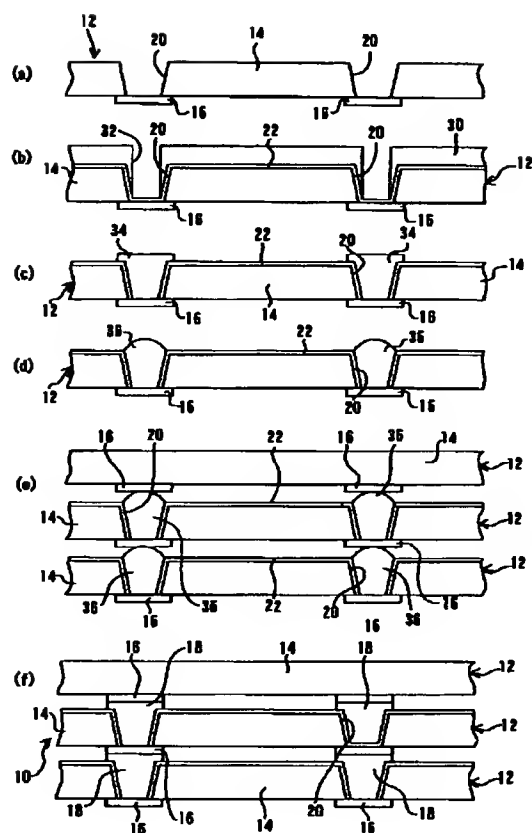
【図6】積層した半導体ウエハまたは半導体チップの貫通穴の壁面に絶縁膜を形成する方法を説明する図である。

【図7】本発明の第4実施形態に係る半導体装置の一部断面図と、半導体基板に形成する貫通穴の他の例を示す断面図である。

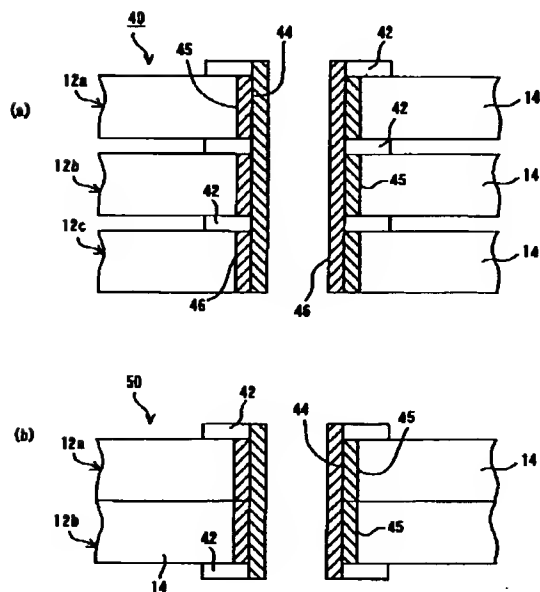
【符号の説明】

10	半導体装置
12a~12d	半導体チップ
14、80	半導体基板
16、16a~16c	電極部
18	導電材(半田)
20	貫通穴(接続穴)
34	導電材(半田ペースト)
36	半田ブラグ
40、50	半導体装置
42、78	電極部
44、82	貫通穴
45	絶縁膜
46	導電材(金属膜)
76a~76c	半導体チップ
84	導電材(導電性接着剤)
88、118	空隙
89	シリコン酸化膜
90、100	半導体装置
92、94、104	貫通穴
96	スタッドバンパ
102	導電性接着剤
110	半導体装置
112a~112c	半導体チップ
116	電極部

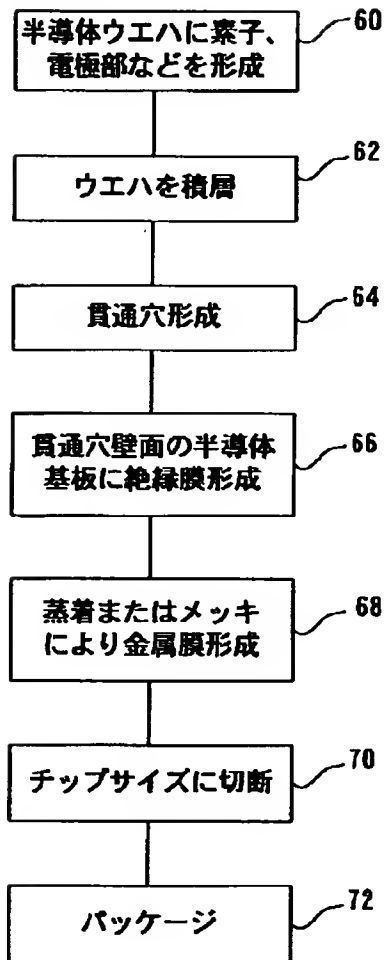
【图2】



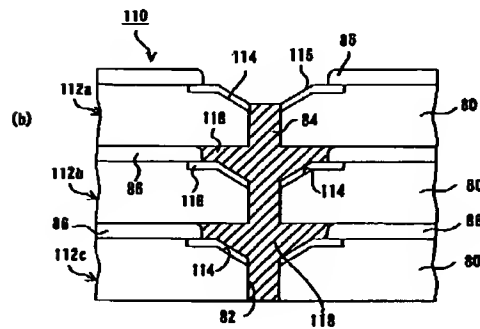
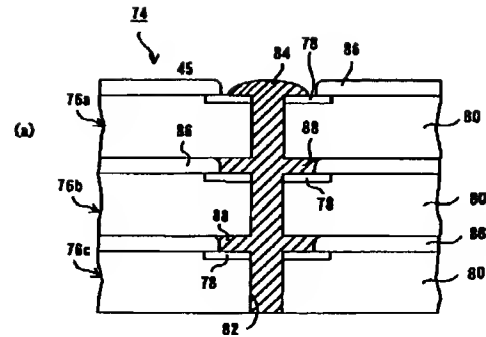
【図3】



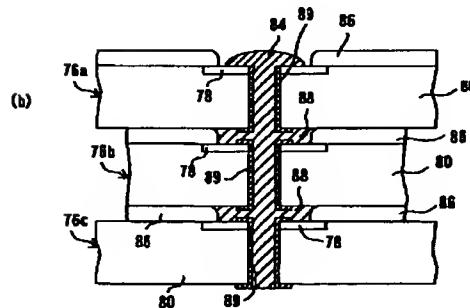
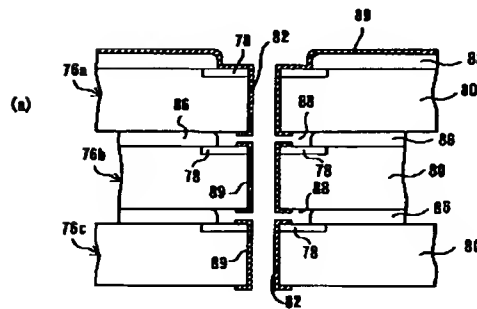
【図4】



【図5】



【図6】



【図7】

